

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-283620

(43)Date of publication of application : 31.10.1997

(51)Int.Cl. H01L 21/768
H01L 21/28
H01L 27/108
H01L 21/8242

(21)Application number : 08-086876

(71)Applicant : NEC CORP

(22)Date of filing : 09.04.1996

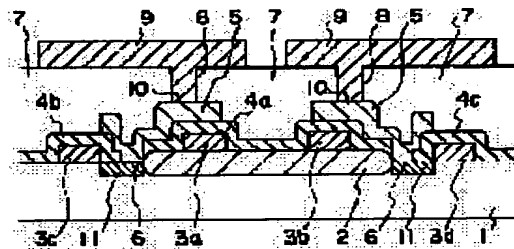
(72)Inventor : ARATA SHINOBU

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To shorten a time required for manufacture of a semiconductor device by reducing the number of manufacturing processes, and to prevent the short-circuit between the upper conductive layer and the lower conductive layer.

SOLUTION: A bit line is patterned and conductive pads 5 are also patterned at the same time. By conducting the two patternings at the same time, the number of manufacturing processes is reduced and manufacturing time can be shortened. When the conductive pads 5 are extended to the point above word lines 3A and 3b, the conductive pads 5 can be used as the stopper of anisotropic dry etching when capacitor contact holes 8 are formed, and the short circuit generating between a capacitor lower part electrode 9 and word lines 3c and 3d caused by the misalignment of patterning can be prevented.



LEGAL STATUS

[Date of request for examination] 09.04.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3147144

[Date of registration] 12.01.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平9-283620

(43)公開日 平成9年(1997)10月31日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	FI	技術表示箇所
H01L	21/768		H01L 21/90	A
	21/28		21/28	L
	27/108		27/10	621B
	21/8242			681B

審査請求 有 請求項の数3 OL (全6頁)

(21)出願番号 特願平8-86876

(22)出願日 平成8年(1996)4月9日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 荒田 忍

東京都港区芝五丁目7番1号 日本電気株式会社内

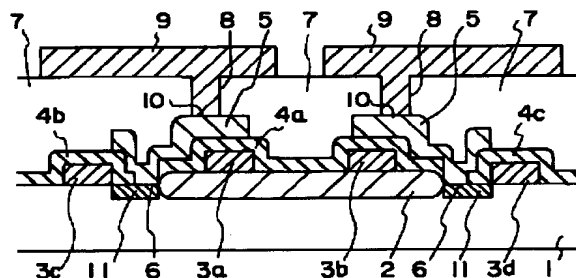
(74)代理人 弁理士 後藤 洋介 (外2名)

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 半導体装置の製造工程数を減少して製造時間を短縮し、また、上部導電層と下部導電層とのショートを防止する。

【解決手段】 ビット線をパターンニングすると同時に、導電性パッド5もパターンニングする。2つのパターンニングを同時に行うことにより、製造工程数が減少して製造時間が短縮される。導電性パッドをワード線3a、3b上まで延在させて形成すると、導電性パッドは、キャパシタコンタクト孔8の形成時の異方性ドライエッチングの際にストッパーになり、パターンニングのミスアライメントによるキャパシタ下部電極9とワード線3c、3dとのショートを防止できる。



【特許請求の範囲】

【請求項1】 半導体基板の表面上に形成された下部導電層と、前記下部導電層と電気的に接続された中間接続層と、前記中間接続層と同層にある中間導電層と、前記中間接続層の上部に位置し前記中間接続層と電気的に接続された上部導電層とを備えた半導体装置の製造方法において、前記中間接続層と前記中間導電層とを同時に形成することを特徴とする半導体装置の製造方法。

【請求項2】 半導体基板の表面上に形成された下部導電層と、前記下部導電層と電気的に接続された中間接続層と、前記中間接続層と同層にある中間導電層と、前記中間接続層の上部に位置し前記中間接続層と電気的に接続された上部導電層とを備え、前記上部導電層と前記中間接続層との接続領域が、前記下部導電層上で所定の間隔を隔てて形成されていることを特徴とする半導体装置。

【請求項3】 半導体基板の表面上に形成された下部導電層と、前記下部導電層と電気的に接続された中間接続層と、前記中間接続層と同層にある中間導電層と、前記中間接続層の上部に位置し前記中間接続層と電気的に接続された上部導電層とを備え、前記中間接続層が前記下部導電層を覆うように延在形成されていることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置に関し、より詳しくは、スタックド・キャパシタ型のDRAMを備えた半導体装置に関する。

【0002】

【従来の技術】 半導体記憶装置のうち記憶情報のランダムな入出力が可能なものとして、DRAM (Dynamic Random Access Memory) が知られている。一般に、DRAMは、複数の記憶情報を蓄積する記憶領域である、メモリセルアレイ部と外部の入出力に必要な、周辺回路部とから構成されている。半導体チップ上で、大きな面積を占めるメモリセルアレイ部は、単位記憶情報を蓄積するための、メモリセルが、マトリクス状に複数個配列されて形成されている。すなわち1個のMOSトランジスタと、これに接続された1個のキャパシタとから構成されている。このメモリセルは、1トランジスタ1キャパシタ型のメモリセルとして、広く知られている。このような構成を有するメモリセルは、構造が簡単のためメモリセルアレイの集積度を向上させる事が容易であり、大容量のDRAMに広く用いられている。DRAMのうち、キャパシタがビット線より上層に配置されるCOB (CAPACITY OVER BIT LINE) 構造を持つ装置が多く採用されている。このCOB構造を持つDRAMにおいて、キャパシタ部とトランジスタの接続部は、比較的アスペクト比の高いコンタクトを形成しなくてはならない。

【0003】 図6は、メモリセルアレイ部の平面レイアウト図であり、図7は、図6に示したメモリセルアレイ部のX-X'における断面図である。

【0004】 まず図6を参照して、メモリアレイ部の平面レイアウトについて説明する。縦方向には、所定の間隔を隔てて、ワード線3、3a、3b、3c、3dが形成されている。そして、横方向には、ワード線3、3a、3b、3c、3dと直交する方向に所定の間隔を隔てて、ビット線20が複数本配列されている。ビット線-基板コンタクト21は、素子形成領域12の中間部上方に形成される。隣接する2つのビット線20間には、素子形成領域12が形成されている。素子形成領域12の両端部に位置する不純物拡散層11には、キャパシタ下部電極(ストレージノード)9を接続するためにポリパッド(引き出し電極)51が形成されている。ポリパッド51とシリコン基板1との接続は、ワード線3a、3b、3c、3d間のパッド-基板コンタクト部6にて行われる。ポリパッド51とキャパシタ下部電極9との接続は、パッド-キャパシタ電極コンタクト部10にて行われている。このようにして、素子形成領域12には、1本のビット線20を共通にした2つのメモリセルが形成される。

【0005】 次に、図7を参照して、DRAMのセルアレイ部の断面構造について説明する。まず図6を参照して、X-X'断面について、説明する。メモリセルアレイ部は、シリコン基板1とシリコン基板上に形成されたSiO₂膜からなる素子分離絶縁膜2とを備えている。シリコン基板1と素子分離絶縁膜2上には、所定の間隔を隔てて、ポリシリコンからなるワード線3a、3b、3c、3dが形成されている。ワード線3a、3b、3c、3dを覆うように、SiO₂からなる絶縁膜4a、4b、4cが形成されている。3a、3c間および3b、3d間にはポリパッド51が形成されている。また、ポリパッド51と平行して、ビット線20が形成されている。そして、全面を覆うようにSiO₂からなる層間絶縁膜7が形成されている。層間絶縁膜7には、ポリパッド51とキャパシタ下部電極9とのコンタクトのための、キャパシタコンタクト孔8が形成されている。キャパシタコンタクト孔8および層間絶縁膜7上には、キャパシタ下部電極9が形成されており、キャパシタ下部電極9とポリパッド51とは、パッド-キャパシタ電極コンタクト部10において、電気的に接続されている。また、ポリパッド51と不純物拡散層11は、パッド-基板コンタクト部6において、電気的に接続されている。この不純物拡散層11は、トランジスタのソース/ドレイン領域にあたるものである。このように従来では、ポリパッド51を介して、トランジスタのソース/ドレイン領域を構成する不純物拡散層11とキャパシタ下部電極9が電気的に接続されている。

【0006】 次に図8(a)～(d)を参照にして、製

造プロセスについて説明する。図8は、図7に示したメモリセルアレイ部の製造プロセスを説明するための断面図である。まず図8(a)に示すようにシリコン基板上1上に素子形成領域12と素子分離絶縁膜2を形成し、素子形成領域12と素子分離絶縁膜2上には図6に示したように所定の間隔を隔てて、ワード線3a, 3b, 3c, 3dを形成する。次に、図8(b)のようにワード線3a, 3b, 3c, 3dを覆うようにSiO₂等の絶縁膜4を形成する。次に、基板パッドコンタクト形成のため、ポリパッド51の接続用のパッド-基板コンタクト部6を形成し、次にポリシリコンを堆積させ、パターンニングを行い、ポリパッド51を図8(c)のように形成する。次に全面にSiO₂からなる層間絶縁層7を形成した後、キャパシタコンタクト孔8を図8(d)のように形成する。次にキャパシタコンタクト孔8にポリシリコン等の導電性物質を堆積させて、キャパシタ下部電極9をパターンニングにより図6のように形成する。

【0007】このポリパッドは、半導体装置の微細化に伴って、メモリセル間隔が狭くなり、これに伴い、ワード間に形成される不純物拡散層の幅も狭くなる。このように狭くなった拡散層に直接キャパシタ電極を接続するように形成するのは、製造プロセス上非常に困難であり、ポリパッドは必要不可欠のものである。

【0008】

【発明が解決しようとする課題】前述のように従来のDRAMのメモリセルアレイ部では、ポリパッド51を用いることによりパッド-キャパシタ電極コンタクト部の形成を容易にしてきた。しかしながら、この方法では、パッド形成のためにパッドコンタクトの開孔のパターンニングとパッドのパターンニングを別に行う必要があり、製造工程数が増えてしまい、製造期間が長くなってしまふ。

【0009】また、素子が微細化されるに従い、ミスマッチメントマージンが小さくなり、キャパシタコンタクト孔のパターンニングの際、下層配線とのショートが生じやすくなる問題点があった。

【0010】そこで、本発明は、前記従来の半導体装置の欠点を改良し、製造工程数を減少して製造時間の短縮を図り、また、上部導電層と下部導電層とのショートの防止を図るものである。

【0011】

【課題を解決するための手段】本発明は、前記課題を解決するため、次の手段を採用する。

【0012】(1)半導体基板の表面上に形成されたワード線等の下部導電層と、前記下部導電層と電気的に接続された導電性パッド等の中間接続層と、前記中間接続層と同層にあるビット線等の中間導電層と、前記中間接続層の上部に位置し前記中間接続層と電気的に接続されたキャパシタ下部電極等の上部導電層とを備えた半導体

装置の製造方法において、前記中間接続層と前記中間導電層とを同時に形成する半導体装置の製造方法。

【0013】(2)半導体基板の表面上に形成された下部導電層と、前記下部導電層と電気的に接続された中間接続層と、前記中間接続層と同層にある中間導電層と、前記中間接続層の上部に位置し前記中間接続層と電気的に接続された上部導電層とを備え、前記上部導電層と前記中間接続層との接続領域が、前記下部導電層上で所定の間隔を隔てて形成されていることを特徴とする半導体装置。

【0014】(3)半導体基板の表面上に形成された下部導電層と、前記下部導電層と電気的に接続された中間接続層と、前記中間接続層と同層にある中間導電層と、前記中間接続層の上部に位置し前記中間接続層と電気的に接続された上部導電層とを備え、前記中間接続層が前記下部導電層を覆うように延在形成されている半導体装置。

【0015】

【発明の実施の形態】以下に、本発明の実施の形態例について図面を参照して説明する。

【0016】図1は、本発明の第1実施の形態例によるDRAMのメモリセルアレイ部を示した平面レイアウト図である。また図2は、図1に示したメモリセルアレイ部のX-X'における断面図である。まず図1を参照して、本実施の形態例のDRAMのメモリセルアレイ部は、縦方向に所定の間隔を隔てて、配列されたワード線3a, 3b, 3c, 3dと、前記ワード線3a, 3b, 3c, 3dと直交する方向に所定の間隔を隔てて、形成されたビット線20と、隣接するビット線20間の所定領域に形成された素子形成領域12と、素子形成領域12の両端に位置した不純物拡散層11に接続され、ビット線パターンニング時に同時に形成された前記ワード線3a, 3b上まで延在した導電性パッド5を備えている。

【0017】素子形成領域12とキャパシタ下部電極(ストレージノード)9とのコンタクトは、導電性パッド5を介して行われる。すなわち素子形成領域12と導電性パッド5とは、パッド-基板コンタクト部6において電気的に接続され、キャパシタ下部電極9と導電性パッド5とは、パッド-キャパシタ電極コンタクト部10において電気的に接続されている。本実施の形態例のメモリセルアレイ部では、導電性パッド5をワード線3a, 3b上まで延在させている。

【0018】次に図2を参照して、図1に示したメモリセルアレイ部のX-X'断面図について説明する。この断面図は、シリコン基板上1上の素子形成領域12と素子分離絶縁膜2上に図1に示したワード線3a, 3b, 3c, 3dに対応した間隔で、ワード線3a, 3b, 3c, 3dが形成されている。ワード線3a, 3b, 3c, 3dを覆うように絶縁膜4a, 4b, 4cが形成さ

れている。そして、ワード線3a、3c間及び3b、3d間の素子形成領域12の両端部のトランジスタのソース/ドレイン領域を形成する不純物拡散層11とパッド-基板コンタクト部6を介して、ビット線20に使用されるタングステンシリサイドまたはポリシリコンのような導電性パッド5が、ワード線3a、3b上まで延在し形成されている。そして、全面にSiO₂からなる層間絶縁膜7が形成されている。層間絶縁膜7には、パッド-キャパシタ電極コンタクト部10を形成するためにキャパシタコンタクト孔8が形成されている。キャパシタコンタクト孔8および層間絶縁膜7上には、キャパシタ下部電極(ストレージノード)9が形成されている。キャパシタ下部電極9とトランジスタのソース/ドレイン領域を形成する不純物拡散層11は、導電性パッド5を介して、電気的に接続されている。導電性パッド5がワード線3a、3b上まで延在しているために、導電性パッド5がワード線3a、3bの厚み分だけ従来のポリパッドより高い位置に形成されることになり、キャパシタコンタクト孔8の深さが、浅くなり、アスペクト比が改善される。従って、キャパシタコンタクト孔8の形成が容易になり、従来問題であったコンタクト抜けの不良、コンタクト抵抗が高くなる不良が低減され、装置全体の信頼性を向上させることができる。

【0019】図3は、図2に示したメモリセルアレイ部の製造プロセスを説明するための断面図である。図3

(a)~(d)を参照にして、製造プロセスについて説明する。まず図3(a)に示すようにシリコン基板1上に素子形成領域12と素子分離絶縁膜2を形成し、素子形成領域12と素子分離絶縁膜2上には、図1に示したように所定の間隔を隔てて、ワード線3a、3b、3c、3dを形成する。次に、図3(b)のようにワード線3a、3b、3c、3dを覆うようにSiO₂等の絶縁膜4を形成する。次に、ワード線形成のためにワード線コンタクト形成の際、同時に導電性パッド5のコンタクトを形成する。次にビット線20として用いるタングステンシリサイドあるいはポリシリコン等の導電性の物質を堆積させて、ビット線20のパターンニングを行うと同時に、導電性パッドもワード線3a、3c上まで延在するようにパターンニングを行い、ビット線20と、導電性パッド5を同時に図3(c)のように形成する。次に全面にSiO₂からなる層間絶縁膜7を形成した後、キャパシタコンタクト孔8を図3(d)のように形成する。次にキャパシタ下部電極9形成のため、キャパシタコンタクト孔8にポリシリコン等の導電性物質を堆積させて、キャパシタ下部電極9にパターンニングを行って図2のように形成する。

【0020】図4は、本発明の第2実施の形態例によるDRAMのメモリセルアレイ部の断面図である。図4を参照して、この第2実施の形態例では、ワード線3c、3dを覆うように導電性パッド5を形成する。図5は、

図4の断面図の平面レイアウト図である。

【0021】ここで導電性パッド5がワード線3c、3d上に延在しているため、キャパシタコンタクト孔8の形成のためのエッチングの際、導電性パッド5がストッパーになり、パターンニングのミスアライメントによるキャパシタ下部電極9とワード線3c、3dとのショートを防ぐことができ、製造マージンの拡大ができる。

【0022】

【発明の効果】この発明における半導体装置では、中間導電層と中間接続層とを同時に形成することにより、製造工程数が減少して製造時間が短縮される。

【0023】また、本発明では、中間接続層を下部導電層を覆うように延在形成することにより、中間接続層と上部導電層とのコンタクト形成の際の異方性エッチング時に中間接続層はストッパーとなるため、パターンニングのミスアライメントが発生した場合、上部導電層と下部導電層とのショートが防止される。

【図面の簡単な説明】

【図1】本発明の第1実施の形態例によるDRAMのメモリセルアレイ部を示した平面レイアウト図である。

【図2】図1に示したメモリセルアレイ部のX-X'における断面図である。

【図3】図2に示したメモリセルアレイ部の製造プロセスを説明するための断面図であり、順次(a)、(b)、(c)及び(d)に示す。

【図4】本発明の第2実施の形態例によるDRAMメモリセルアレイ部の断面図である。

【図5】図4に示したメモリセルアレイ部の全体平面レイアウト図である。

【図6】従来のDRAMのメモリアレイ部を示した平面レイアウト図である。

【図7】図6に示したメモリセルアレイ部のX-X'における断面図である。

【図8】図6に示したメモリセルアレイ部の製造プロセスを説明するための断面図であり、順次(a)、(b)、(c)及び(d)に示す。

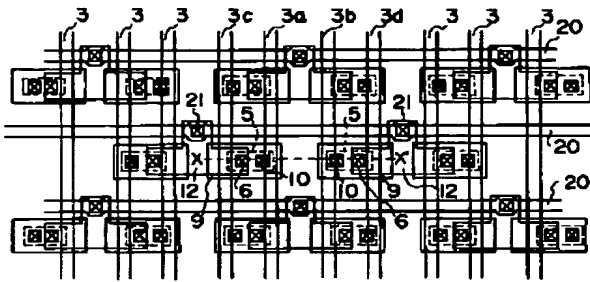
【符号の説明】

- 1 シリコン基板
- 2 素子分離絶縁膜
- 3, 3a, 3b, 3c, 3d ワード線
- 4, 4a, 4b, 4c 絶縁膜
- 5 導電性パッド(引き出し電極)
- 51 ポリパッド(引き出し電極)
- 6 パッド-基板コンタクト部
- 7 層間絶縁膜
- 8 キャパシタコンタクト孔
- 9 キャパシタ下部電極(ストレージノード)
- 10 パッド-キャパシタ電極コンタクト部
- 11 不純物拡散層
- 12 素子形成領域

20 ビット線

7

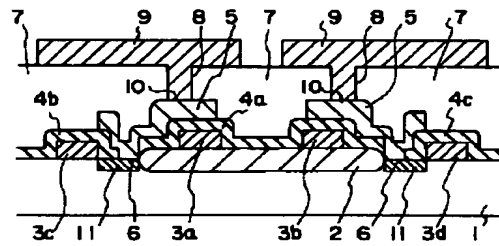
【図1】



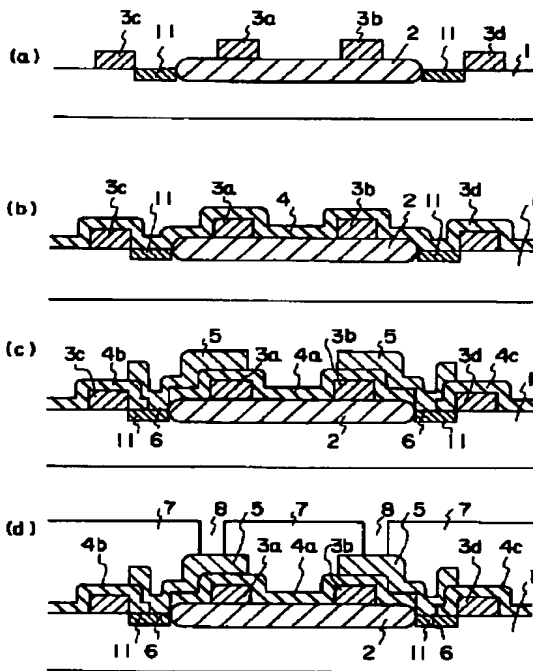
21 ビット線-基板コンタクト

8

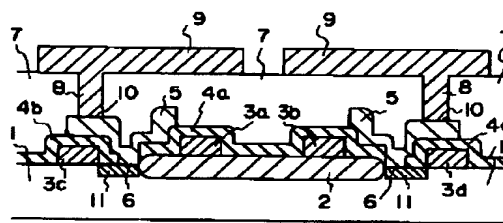
【図2】



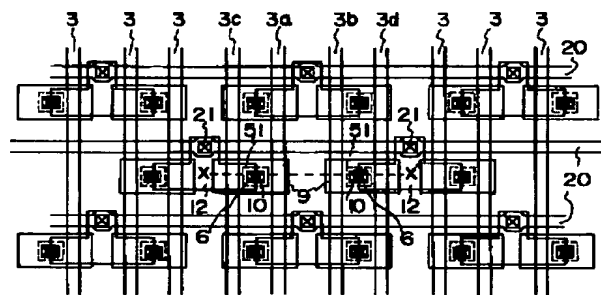
【図3】



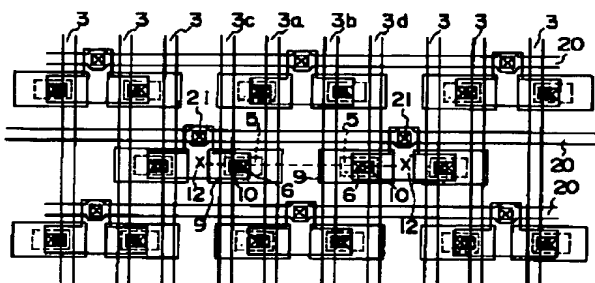
【図4】



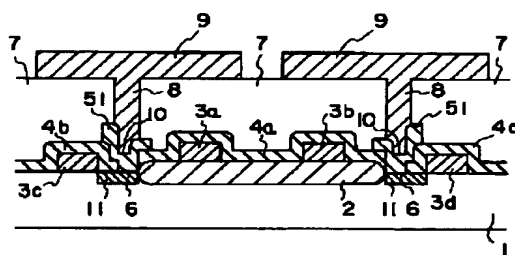
【図6】



【図5】



【図7】



【図8】

